

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-085509

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

G06K 19/07

G06K 17/00

(21)Application number : 2001-278585

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.09.2001

(72)Inventor : YOMO JUNJI

KATAYAMA KUNIHIO

MATSUMOTO MASATO

IZAWA KAZUTO

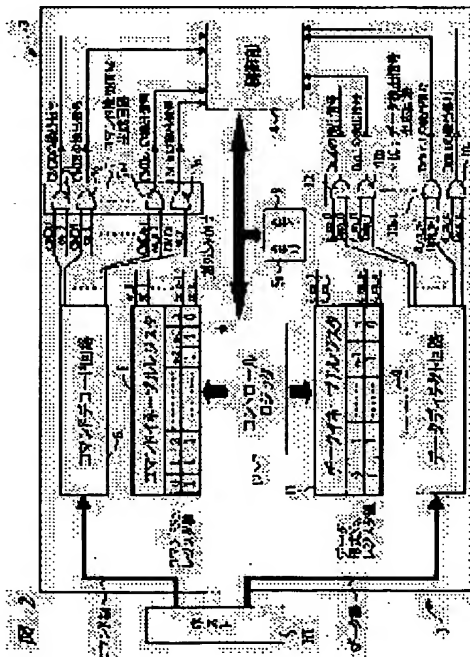
KANAMORI SAKAKI

## (54) MEMORY CARD AND METHOD FOR REWRITING DATA

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To correspond to a change and addition of a standard in a short period of time at a low cost only by changing a firmware.

**SOLUTION:** A controller 3 of this memory card is provided with a command decode circuit 6 for decoding a command issued from a host HT, a command enable register 8 in which validity and invalidity of the received command are set, and a command detection signal generating circuit 7 for detecting a valid command on the basis of a decode result of the command decode circuit 6 and a set value of the command enable register 8. When the command enable register 8 receives a command which is set valid, the command detection signal generating circuit 7 outputs a detection signal to a control part 4, and executes a process provided for each command. When the command enable register 8 receives a command which is set invalid, the detection signal is not outputted and the command is ignored.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-85509

(P2003-85509A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	特許コード (参考)
G 0 6 K 19/07		G 0 6 K 17/00	D 5 B 0 3 5
17/00		19/00	N 5 B 0 5 8

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2001-278585 (P2001-278585)

(22) 出願日 平成13年9月13日 (2001.9.13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 四方 淳史

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 片山 国弘

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

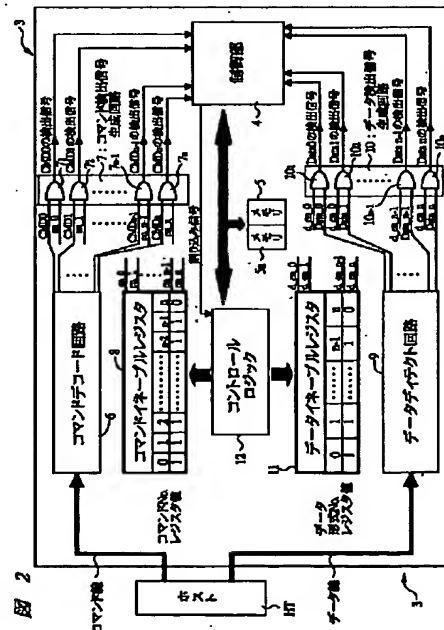
最終頁に続く

(54) 【発明の名称】 メモリカードおよびデータ書き換え方法

(57) 【要約】

【課題】 ファームウェアを変更するだけで、短時間で、かつ低コストに、規格の変更、追加などに対応する。

【解決手段】 メモリカードのコントローラ3には、ホストHTから発行されたコマンドをデコードするコマンドデコード回路6、受け取ったコマンドの有効無効が設定されたコマンドイネーブルレジスタ8、およびコマンドデコード回路6のデコード結果とコマンドイネーブルレジスタ8の設定値とに基づいて有効なコマンドを検出するコマンド検出信号生成回路7が設けられている。コマンドイネーブルレジスタ8が有効に設定されたコマンドを受け取った際には、コマンド検出信号生成回路7が検出信号を制御部4に出力し、コマンド毎に規定された処理を実行する。コマンドイネーブルレジスタ8が無効に設定されたコマンドを受け取った際には検出信号が出力されず、コマンドが無視される。



【特許請求の範囲】

【請求項1】 複数の不揮発性メモリセルを有し、所定の情報を格納可能な不揮発性半導体メモリと、外部から発行されたコマンドに基づいて前記不揮発性半導体メモリの動作指示を行うコントローラとからなるメモリカードであって、

前記コントローラは、

外部から発行されるコマンドをデコードするコマンドデコード部と、

前記外部から発行される各々のコマンドが、有効か無効かをインデックス毎に設定したインデックス設定部と、前記コマンドデコード部のデコード結果と前記インデックス設定部の設定値とに基づいて、前記外部から発行されたコマンドが有効か無効かを判断し、検出信号として出力するコマンド検出信号生成部とを備えたことを特徴とするメモリカード。

【請求項2】 請求項1記載のメモリカードにおいて、前記インデックス設定部はレジスタであり、各々のコマンドの有効、無効の設定を、ファームウェアデータにより任意に変更できることを特徴とするメモリカード。

【請求項3】 複数の不揮発性メモリセルを有し、所定の情報を格納可能な不揮発性半導体メモリと、外部から発行されたコマンドに基づいて前記不揮発性半導体メモリの動作指示を行うコントローラとからなるメモリカードであって、

前記コントローラは、

外部から発行されるコマンドをデコードし、前記コマンドのインデックスを判断し、所定の出力先にデコード信号を出力するコマンドデコード部と、

前記各々のコマンドのインデックス毎に有効、無効のデータが設定されたインデックス設定部と、

前記コマンドデコード部のデコード信号から前記外部から発行されたコマンドのインデックスを特定するとともに、前記インデックス設定部に設定されたデータから前記特定したインデックスのコマンドが有効か無効かを判断し、前記コマンドが有効の際には、前記コマンドに対応するレスポンス処理、ならびに前記コマンドによって規定された処理を実行させる検出信号を出力するコマンド検出信号生成部とを備えたことを特徴とするメモリカード。

【請求項4】 請求項1～3のいずれか1項に記載のメモリカードにおいて、

前記コントローラに、

外部から入力されるデータ形式を検出するデータ検出部と、

各々のデータ形式毎に、前記外部から入力されるデータ形式が有効か無効かのデータを設定したデータ形式設定部と、

前記データ検出部の検出結果と前記データ形式設定部の設定値とに基づいて、前記外部から発行されたデータが

有効か無効かを判断し、検出信号として出力するデータ検出信号生成部とを備えたことを特徴とするメモリカード。

【請求項5】 請求項4記載のメモリカードにおいて、前記データ形式設定部はレジスタであり、各々のデータ形式の有効、無効の設定を、ファームウェアデータにより任意に変更できることを特徴とするメモリカード。

【請求項6】 外部より動作指示信号と動作電圧とが供給され、前記動作指示信号に応じて、コントローラが不揮発性半導体メモリにアクセスし、情報の格納、または情報の読み出しを行うメモリカードのデータ書き換え方法であって、

前記外部からファームウェアデータの書き込みを要求するコマンドを受け取り、書き込まれるファームウェアデータを受信するステップと、

前記受信したファームウェアデータを前記不揮発性半導体メモリのある領域に書き込むステップと、

前記メモリカードの初期設定後、インデックス設定部の初期データを設定するステップと、

前記不揮発性半導体メモリにアクセスし、ファームウェアデータの有無をチェックするステップと、

前記不揮発性半導体メモリに、ファームウェアデータが存在する場合、前記ファームウェアデータを読み込み、前記ファームウェアデータに基づいて前記インデックス設定部のデータを書き込み、新たに設定するステップとを有することを特徴とするメモリカードのデータ書き換え方法。

【請求項7】 外部より動作指示信号と動作電圧とが供給され、前記動作指示信号に応じて、コントローラが不揮発性半導体メモリにアクセスし、情報の格納、または情報の読み出しを行うメモリカードのデータ書き換え方法であって、

前記外部からファームウェアデータの書き込みを要求するコマンドを受け取り、書き込まれるファームウェアデータを受信するステップと、

前記受信したファームウェアデータを前記不揮発性半導体メモリのある領域に書き込むステップと、

前記メモリカードの初期設定後、データ形式設定部の初期データを設定するステップと、

前記不揮発性半導体メモリにアクセスし、ファームウェアデータの有無をチェックするステップと、

前記不揮発性半導体メモリに、前記ファームウェアデータが存在する場合、前記ファームウェアデータを読み込み、前記ファームウェアデータに基づいて前記データ形式設定部のデータを書き込み、新たに設定するステップとを有することを特徴とするメモリカードのデータ書き換え方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリカードに関

し、特に、マルチメディアカードにおける規格の変更、追加のフレキシブルな対応に適用して有効な技術に関するものである。

#### 【0002】

【従来の技術】パーソナルコンピュータや多機能端末機などの外部記憶メディアの1つとして、マルチメディアカードが広く知られている。マルチメディアカードは、デジタルビデオカメラの静止画像記録、携帯電話のデータ記録、携帯音楽プレーヤの音楽記録などのあらゆるデジタル情報に用いられている。

【0003】このマルチメディアカードは、標準化団体であるMMCA (MultiMedia Card Association) によって規格化されたマルチメディアカード規格によって互換性が維持されている。

【0004】なお、この種のICカードについて詳しく述べてある例としては、1990年12月1日、株式会社工業調査会発行、大島雅志(編)、「電子材料」P22～P26があり、この文献には、各種のICカードにおける技術動向が記載されている。

#### 【0005】

【発明が解決しようとする課題】ところが、上記のようなメモリカードにおいては、次のような問題点があることが本発明者により見出された。

【0006】マルチメディアカードは、近年のインターネットの拡大、ならびに携帯電話などの普及に伴って誕生した歴史の浅い製品であり、マルチメディアカード規格においても、変更や追加などが頻繁に発生している。

【0007】マルチメディアカード規格に変更や追加などが発生した際には、ハードウェア、ならびにファームウェアの両方の変更を実施しなければならず、それに対応するためのコスト、および時間が大きくなってしまいうという問題がある。

【0008】また、ホスト側においても、マルチメディアカード規格を満足していない機器が多数存在しており、このような場合にも、同様にマルチメディアカードのハードウェア、ファームウェアを変更して対応しなければならないという問題がある。

【0009】本発明の目的は、ファームウェアを変更するだけで、短時間で、かつ低コストに、規格の変更、追加などに対応することができるメモリカードおよびそのデータ書き換え方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

1. すなわち、本発明のメモリカードは、コントローラに、外部から発行されるコマンドをデコードするコマ

ンドデコード部と、各々のコマンドが、有効か無効かをインデックス毎に設定したインデックス設定部と、該コマンドデコード部のデコード結果とインデックス設定部の設定値とに基づいて、発行されたコマンドが有効か無効かを判断し、検出信号として出力するコマンド検出信号生成部とを備えたものである。

2. また、前記第1項において、前記インデックス設定部はレジスタであり、各々のコマンドの有効、無効の設定を、ファームウェアデータにより任意に変更するものである。

3. 前記コントローラには、外部から発行されるコマンドをデコードし、コマンドのインデックスを判断し、所定の出力先にデコード信号を出力するコマンドデコード部と、各々のコマンドのインデックス毎に有効、無効のデータが設定されたインデックス設定部と、デコード信号から外部から発行されたコマンドのインデックスを特定するとともに、インデックス設定部に設定されたデータから特定したインデックスのコマンドが有効か無効かを判断し、そのコマンドが有効の際には、対応するレスポンス処理、コマンドによって規定された処理を実行させる検出信号を出力するコマンド検出信号生成部とを備えたものである。

4. 前記第1項～第3項のいずれか1項に記載において、前記コントローラに、外部から入力されるデータ形式を検出するデータ検出部と、各々のデータ形式毎に、入力されるデータ形式が有効か無効かのデータを設定したデータ形式設定部と、データ検出部の検出結果とデータ形式設定部の設定値とに基づいて、発行されたデータが有効か無効かを判断し、検出信号として出力するデータ検出信号生成部とを備えたものである。

5. 前記第4項のメモリカードにおいて、前記データ形式設定部がレジスタであり、各々のデータ形式の有効、無効の設定を、ファームウェアデータにより任意に変更するものである。

【0012】また、本願のその他の発明の概要を項に分けて簡単に示す。

【0013】1. 以下のステップを含むメモリカードのデータ書き込み方法：

(a) 外部からファームウェアデータの書き込みを要求するコマンドを受け取り、書き込まれるファームウェアデータを受信するステップ、(b) 受信したファームウェアデータを不揮発性半導体メモリのある領域に書き込むステップ、(c) メモリカードの初期設定後、インデックス設定部の初期データを設定するステップ、(d) 不揮発性半導体メモリにアクセスし、ファームウェアデータの有無をチェックするステップと、(e) 不揮発性半導体メモリにファームウェアデータが存在する場合、そのファームウェアデータを読み込み、インデックス設定部のデータを新たに設定するステップ。

【0014】2. 以下のステップを含むメモリカードの

データ書き込み方法:

(a) 外部からファームウェアデータの書き込みを要求するコマンドを受け取り、書き込まれるファームウェアデータを受信するステップ、(b) 受信したファームウェアデータを不揮発性半導体メモリのある領域に書き込むステップ、(c) メモリカードの初期設定後、データ形式設定部の初期データを設定するステップ、(d) 不揮発性半導体メモリにアクセスし、ファームウェアデータの有無をチェックするステップ、(e) 不揮発性半導体メモリに、ファームウェアデータが存在する場合、そのファームウェアデータを読み込み、データ形式設定部のデータを新たに設定するステップ。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0016】図1は、本発明の一実施の形態によるメモリカードのブロック図、図2は、図1のメモリカードに設けられたコントローラのブロック図、図3は、図1のメモリカードに設けられたコマンドイネーブルレジスタに有効と設定されているコマンドを受け取った際のコントローラの動作説明図、図4は、図1のメモリカードに設けられたコマンドイネーブルレジスタに無効と設定されているコマンドを受け取った際のコントローラの動作説明図、図5は、図1のメモリカードにおける設定変更を行うファームウェアの書き込み動作を示すフローチャート、図6は、図1のメモリカードにおけるコマンドイネーブルレジスタのレジスタデータの設定変更動作のフローチャート、図7は、図1のメモリカードにシリアル転送されるデータの構成説明図、図8は、図7のデータにおけるスタートバイトの一例を示す説明図である。

【0017】本実施の形態において、メモリカード1は、マルチメディアカードからなり、デジタルビデオカメラ、携帯電話、携帯音楽プレーヤやパーソナルコンピュータなどにおけるホストHTの外部記憶メディアとして用いられる。

【0018】メモリカード1は、図1に示すように、フラッシュメモリ（不揮発性半導体メモリ）2、ならびにコントローラ3から構成される。フラッシュメモリ2は、電氣的にデータの書き換え、消去が可能な不揮発性半導体メモリである。

【0019】コントローラ3は、ホストHTと接続されており、フラッシュメモリ2の制御を司り、フラッシュメモリ2に格納されたプログラムやデータなどを読み出し、所定の処理を行うとともに、データの書き込み動作指示を行う。

【0020】また、コントローラ3は、図2に示すように、制御部4、メモリ5、5a、コマンドデコード回路（コマンドデコード部）6、コマンド検出信号生成回路（コマンド検出信号生成部、レジスタ）7、コマンドイネーブルレジスタ（インデックス設定部）8、データデ

ィテクト回路（データ検出部）9、データ検出信号生成回路（データ検出信号生成部）10、データイネーブルレジスタ（データ形式設定部）11、ならびにコントロールロジック12から構成されている。

【0021】制御部4は、コマンド検出信号生成回路7、およびデータ検出信号生成回路10から出力される検出信号に基づいて、コマンド、データ形式が有効か無効かを判断し、有効の場合には、所定のレスポンス処理、およびコマンド毎に規定された処理を実行するとともに、コントロールロジック12に割り込み信号を出力してコマンド受信を知らせ、コントロールロジック12の制御に基づいてデータ転送などの処理を行う。

【0022】メモリ5は、ROM (Read Only Memory)、またはEEPROM (Electrically Erasable and Programmable ROM) などの不揮発性メモリであり、メモリ5aは、SRAM (Static Random Access Memory) などの揮発性メモリである。

【0023】メモリ5には、コントロールロジック12を動作させる制御プログラムなどが格納されており、メモリ5aは、コントロールロジック12のワークエリアとして用いられる。

【0024】コマンドデコード回路6は、ホストHTから送信されたコマンドCMD0～CMDnをデコードし、そのデコード結果をコマンド検出信号生成回路7に出力する。

【0025】このホストHTから発行されるコマンドCMD0～CMDnは、カードの認識処理、リード、ライト、イレースなどのメモリカード1に対して命令するすべての処理である。

【0026】コマンド検出信号生成回路7は、論理積回路7<sub>1</sub>～7<sub>n</sub>から構成されており、これら論理積回路7<sub>1</sub>～7<sub>n</sub>は、コマンドCMD0～CMDn毎にそれぞれ対応して設けられている。コマンドデコード回路6は、コマンドCMD0～CMDnのデコード結果を、対応する論理積回路7<sub>1</sub>～7<sub>n</sub>のいずれかに出力する。

【0027】論理積回路7<sub>1</sub>～7<sub>n</sub>の一方の入力部には、コマンドデコード回路6が接続されている。コマンドデコード回路6は、コマンドCMD0～CMDnのデコード結果に基づいて、対応する論理積回路7<sub>1</sub>～7<sub>n</sub>のいずれかに出力する。

【0028】また、該論理積回路7<sub>1</sub>～7<sub>n</sub>の他方の入力部には、コマンドイネーブルレジスタ8に設定されたレジスタデータが入力されるように接続されている。

【0029】コマンド検出信号生成回路7は、論理積回路7<sub>1</sub>～7<sub>n</sub>によって、コマンドデコード回路6のデコード信号とコマンドイネーブルレジスタ8に設定されているレジスタデータとの論理積を取り、該当するコマンドの検出信号を制御部4に出力する。

【0030】コマンドイネーブルレジスタ8は、ホストHTから発行されたコマンドが有効であるか無効であるかを、個々のコマンドインデックス毎にレジスタデータとして予め格納して設定する。この場合、有効なコマンドには、Hi信号が設定されている。

【0031】データディテクト回路9は、ホストHTからシリアル転送によって発行されるデータ形式を検出し、データ検出信号生成回路10に出力する。データ検出信号生成回路10は、 $n$ 個の論理積回路 $10_1 \sim 10_n$ から構成されている。

【0032】論理積回路 $10_1 \sim 10_n$ の一方の入力部には、データディテクト回路9が接続されており、該データディテクト回路9は、検出結果の信号を対応する論理積回路 $10_1 \sim 10_n$ のいずれかに出力する。

【0033】さらに、論理積回路 $10_1 \sim 10_n$ の他方の入力部には、データイネーブルレジスタ11に設定されたレジスタデータが入力されるように接続されている。

【0034】データ検出信号生成回路10は、論理積回路 $10_1 \sim 10_n$ によって、データディテクト回路9の検出信号とデータイネーブルレジスタ11に設定されているレジスタデータとの論理積を取り、該当するデータ形式の検出信号を制御部4に出力する。

【0035】データイネーブルレジスタ11は、データ形式No. 0～No.  $n$ までのデータ形式に対応するレジスタデータを設定することができ、ホストHTから受け取ったデータ形式が有効であるか無効であるかを個々のデータ形式毎にレジスタデータとして予め設定されている。ここでも、有効なコマンドにはHi信号が設定されている。

【0036】コントロールロジック12は、コマンドイネーブルレジスタ8、ならびにデータイネーブルレジスタ11に、レジスタデータを設定する制御を司るとともに、コントローラ3におけるすべての制御を司る。

【0037】次に、本実施の形態のメモ리카ード1における作用について説明する。

【0038】まず、コマンドイネーブルレジスタ8に有効と設定されているコマンドがホストHTから入力された場合のメモ리카ードの動作について、図3を用いて説明する。この図3においては、コマンド入力時の動作を説明した図であるので、データディテクト回路9、データ検出信号生成回路10、およびデータイネーブルレジスタ11は省略している。

【0039】さらに、図3では、予めコマンドイネーブルレジスタ8のレジスタデータが、コマンドCMD0～CMD $n-1$ までが有効(Hi)に設定され、コマンドCMD $n$ が無効(Lo)に設定されているものとする。

【0040】図3に示すように、ホストHTから、あるコマンドCMD1が転送されると、このコマンドCMD1は、コマンドデコード回路6に入力される。コマンド

デコード回路6は、受け取ったコマンドCMD1をデコードし、該コマンドCMD1に対応するコマンド検出信号生成回路7の論理積回路 $7_2$ の一方の入力部に、デコード結果の信号(Hi)を出力する。

【0041】前述したように、コマンドイネーブルレジスタ8は、コマンドCMD0～CMD $n-1$ が有効(Hi)、コマンドCMD $n$ が無効(Lo)に設定されているので、コマンド検出信号生成回路7の論理積回路 $7_1 \sim 7_{n-1}$ の他方の入力部にはHi信号が入力され、論理積回路 $7_n$ の他方の入力部にはLo信号が入力されていることになる。

【0042】よって、論理積回路 $7_2$ の両方の入力部にはHi信号がそれぞれ入力されることになり、該論理積回路 $7_2$ からは検出信号としてHiレベルの信号が出力される。他の論理積回路 $7_1, 7_3 \sim 7_n$ においては、一方の入力部にHi信号が入力されないでLo信号出力となっている。

【0043】該論理積回路 $7_2$ の検出信号を制御部4が受けると、制御部4は、コントロールロジック12に割り込み信号を出力し、その割り込み信号を受け取ったコントロールロジック12は、コマンドCMD1に対応するレスポンス処理、ならびに該コマンドCMD1によって規定された処理を実行する。

【0044】また、コマンドイネーブルレジスタ8に無効と設定されているコマンドがホストHTから入力された際のメモ리카ード1の動作について、図4を用いて説明する。この図4においても、コマンド入力時の動作を説明図であるので、データディテクト回路9、データ検出信号生成回路10、およびデータイネーブルレジスタ11は省略している。

【0045】さらに、図4でも、予めコマンドイネーブルレジスタ8のレジスタデータが、コマンドCMD0～CMD $n-1$ までが有効(Hi)に設定され、コマンドCMD $n$ が無効(Lo)に設定されているものとする。

【0046】図4に示すように、ホストHTから、あるコマンドCMD $n$ が転送されると、該コマンドCMD $n$ がコマンドデコード回路6に入力される。コマンドデコード回路6は、受け取ったコマンドCMD $n$ をデコードし、該コマンドCMD $n$ に対応するコマンド検出信号生成回路7の論理積回路 $7_n$ の一方の入力部に、Hi信号を出力する。

【0047】ここでも、コマンドイネーブルレジスタ8は、コマンドCMD0～CMD $n-1$ が有効(Hi)、コマンドCMD $n$ が無効(Lo)に設定されているので、コマンド検出信号生成回路7の論理積回路 $7_1 \sim 7_{n-1}$ の他方の入力部にはHi信号が入力され、論理積回路 $7_n$ の他方の入力部にはLo信号が入力されていることになる。

【0048】論理積回路 $7_n$ の一方の入力部だけにHi信号が入力されることになり、該論理積回路 $7_2$ からは

検出信号が出力されず、L<sub>0</sub>信号のままとなる。他の論理積回路7<sub>1</sub>、7<sub>3</sub>～7<sub>n</sub>においても同様に、一方の入力部にはH<sub>i</sub>信号が入力されないでL<sub>0</sub>信号出力となっている。

【0049】よって、制御部4には検出信号が入力されないで、コントロールロジック12が入力されたコマンドCMD<sub>n</sub>を無視し、結果的にコマンドCMD<sub>n</sub>は無効となる。

【0050】また、コマンドイネーブルレジスタ8によるコマンドCMD<sub>1</sub>～CMD<sub>n</sub>の有効/無効の設定変更について説明する。

【0051】このコマンドイネーブルレジスタ8の設定変更を行うファームウェアの書き込みについて、図5のフローチャートを用いて説明する。

【0052】まず、製品出荷前のメモリカード1をエミュレータに搭載し、電源電圧を供給する。これにより、メモリカード1は、初期化動作としてパワーオンリセット処理を行う(ステップS101)。このステップS101の処理において、コマンドイネーブルレジスタ8には初期設定のレジスタデータが設定される。

【0053】パワーオンリセット処理が終了すると、メモリカード1は、コマンド待ち状態となる(ステップS102)。このとき、エミュレータから、メモリカード1のシステム情報の書き換え、および不良解析などに使用するデバッグコマンドを発行し(ステップS103)、該メモリカード1をデバッグモードに移行させる。

【0054】その後、エミュレータからファームウェアデータ書き込みコマンドを発行し(ステップS104)、変更したレジスタデータを含むモジュール単位のファームウェアデータを出力する。

【0055】メモリカード1が、変更したレジスタデータを含むファームウェアデータを受信すると(ステップS105)、コントロールロジック12によって、受信したファームウェアデータがフラッシュメモリ2のある特定領域に書き込まれる(ステップS106)。これにより、ファームウェアデータの書き込みが終了となる。

【0056】次に、コマンドイネーブルレジスタ8のレジスタデータの設定変更について、図6のフローチャートを用いて説明する。

【0057】メモリカード1に電源が投入されると、コントロールロジック12の初期設定が行われる(ステップS201)。その後、メモリ5aに格納されたファームウェアデータに基づいて、コマンドイネーブルレジスタ8におけるレジスタデータの初期設定が行われる(ステップS202)。

【0058】そして、コントロールロジック12がフラッシュメモリ2の特定領域を検索し、ファームウェアの有無をチェックする(ステップS203)。このステップS203の処理において、検索した特定領域にファームウェアが存在する場合には、そのファームウェアを読み込み、メモリ5aに一時的に格納する(ステップS204)。

ムウェアが存在する場合には、そのファームウェアを読み込み、メモリ5aに一時的に格納する(ステップS204)。

【0059】コントロールロジック12は、メモリ5aに格納されたファームウェアデータに基づいてコマンドイネーブルレジスタ8のレジスタデータを新たに設定し(ステップS205)、パワーオンリセット処理を終了する(ステップS206)。

【0060】また、ステップS203の処理において、特定領域にファームウェアが存在しない場合も、ステップS206の処理を行う。

【0061】そして、これらの処理によってパワーオンリセット処理が終了となり、レジスタデータが変更されたことになり、メモリカード1は、コマンド待ち状態となる。

【0062】さらに、データイネーブルレジスタ11に設定されたレジスタデータによるシリアル転送のデータ形式の有効/無効の判断について説明する。

【0063】まず、転送されるシリアルデータの、図7に示すように、スタートバイト、8～2048ビットのデータ、ならびに16ビットのCRC(Cycle Redundancy Codes)データから構成されている。

【0064】スタートバイトは、データの転送開始を示すデータである。このスタートバイトは、図8に示すように、1コマンドに対して1ブロックの転送が可能なシングルブロックライト時、ならびに1コマンドに対して複数のブロックの転送が可能なマルチブロックライト時などのデータ形式毎にそれぞれ設定されている。

【0065】たとえば、データイネーブルレジスタ11におけるデータ形式No. 0～No. nのうち、データ形式No. 0にシングルブロックライトが、データ形式No. 1にマルチブロックライトがそれぞれ割り付けられているものとする。

【0066】この場合、データ形式No. 0、およびデータ形式No. 1のレジスタデータがいずれもH<sub>i</sub>信号に設定されていれば、シングルブロックライト、マルチブロックライトの両方が有効に設定されている。

【0067】このとき、データ形式No. 1のスタートバイトがホストHTから転送されると、データディテクト回路9は、該データ形式No. 1に対応するデータ検出信号生成回路10の論理積回路10<sub>2</sub>の一方の入力部に、デコード結果の信号(H<sub>i</sub>)を出力する。

【0068】前述したように、コマンドイネーブルレジスタ8は、データ形式No. 1が有効(H<sub>i</sub>)に設定されているので、論理積回路10<sub>2</sub>からはデータ形式No. 1を検出した検出信号(H<sub>i</sub>)を出力する。制御部4が検出信号を受けるとコントロールロジック12は、ホストHTから転送されたデータを受け取り、所定の処理を行う。



【0069】また、データインネブルレジスタ11のデータ形式No. 1に対応するレジスタデータが、無効(L0)に設定されている際には、データ形式No. 1のスタートバイトがホストHTから転送されても、データ検出信号生成回路10の論理積回路10<sub>2</sub>が、L0信号出力となるので、コントロールロジック12は、ホストHTから転送されたデータを受け付けない。

【0070】さらに、このデータインネブルレジスタ11におけるレジスタデータにおいても、前述したステップS101～S106処理、ならびにステップS201～S207の処理によって設定変更することができる。

【0071】それにより、本実施の形態によれば、コマンドインネブルレジスタ8、ならびにデータインネブルレジスタ11のレジスタデータをファームウェアデータによって変更するだけで、コマンド、データ形式の有効/無効をそれぞれ設定することができるので、マルチメディアカード規格に仕様変更や追加などにフレキシブルに対応することができる。

【0072】また、マルチメディアカード規格に仕様変更や追加に伴うメモリカード1のハードウェアの変更などが不要となるので、該メモリカード1を低コストで、かつ短期間に市場に投入することができる。

【0073】さらに、本実施の形態においては、各コマンド、ならびにデータ形式の有効/無効を設定することのできるメモリカード1について記載したが、これらコマンド、データ形式の有効/無効の設定だけではなく、ホストHTに対して返信するコマンド毎に規定されたフォーマットのレスポンスを選択する機能を備えるようにしてもよい。

【0074】この場合、メモリカード1のコントローラ3aには、図9に示すように、レスポンス生成回路13が新たに追加された構成になっている。さらに、コマンドインネブルレジスタ8aには、新たに各々のコマンドインデックス毎に対応したレスポンスのタイプを選択するレスポンスタイプセレクト信号を設定する機能が付加されている。ここで、図9においては、データディテクト回路9、データ検出信号生成回路10、およびデータインネブルレジスタ11はそれぞれ省略している。

【0075】レスポンス生成回路13は、コマンドインネブルレジスタ8aに設定されたレスポンスタイプセレクト信号に基づいて、各々のコマンドインデックス毎に対応したレスポンスを生成してホストHTに返信する。

【0076】レスポンス生成回路13は、たとえば、2ビットのレスポンスタイプセレクト信号から対応するレスポンスを生成し、ホストHTに返信する。たとえば、ホストHTに返信するレスポンスが、レスポンスType 0～Type 3まであり、レスポンスタイプType 0には、'00'、Type 1は'01'、レスポンスタイプType 2には'10'、Type 3は'11'がそれぞれ設定されているものとする。

【0077】そして、ホストHTから有効なコマンドCMD1が入力された際には、コントロールロジック12の制御に基づいてレスポンス生成回路13が、該コマンドCMD1に対応するレスポンスタイプセレクト信号を読み出す。

【0078】レスポンス信号'11'を読み出したレスポンス生成回路13は、コマンドCMD1に対応するレスポンスType 3のレスポンスを生成してホストHTに返信する。

【0079】それにより、コマンドインネブルレジスタ8aのレスポンスタイプセレクト信号を変更するだけで、対応できるレスポンス処理の仕様追加、変更に対応することができ、メモリカード1の対応をフレキシブルにすることができる。

【0080】さらに、コントロールロジック12への割り込み信号発生を制御するレジスタを追加し、コマンド毎に割り込み信号の発生を制御できるようにしてもよい。

【0081】これにより、コマンドに対するレスポンスは返すが、コントロールロジック制御による内部動作を実施しないように変更可能となる。

【0082】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0083】前記実施の形態では、各々のコマンド毎にレジスタデータを設定する構成としたが、基本コマンド、消去コマンド、リードコマンド、ライトコマンドなどのコマンドクラス毎に一括して有効/無効を設定するようにしてもよい。

【0084】たとえば、コマンドCMD0～CMD6までのコマンドがある場合に、前記実施の形態では、図10の上方に示すように、コマンドCMD0～CMD6に有効(Hi)、あるいは無効(L0)のレジスタデータをそれぞれ設定していたが、図10の下方に示すように、コマンドCMD0～CMD2、コマンドCMD3、CMD4、およびコマンドCMD5、CMD6をまとめて有効/無効のレジスタデータをそれぞれ設定するようにしてもよい。

【0085】それにより、レジスタ数を削減により回路規模を小さくすることができ、メモリカード1の低コスト化が可能になるとともに、ファームウェアデータの設定作業を簡略化することができる。

【0086】また、制御プログラムなどが格納されたメモリに、デフォルトでサポートしていないコマンドの処理プログラムを格納しておき、予め取り決めておいたホストコマンドによってコマンドインネブルレジスタのレジスタデータを設定変更するようにしてもよい。

【0087】それにより、ファームウェアデータを変更



することなく、コマンドの追加、またはホスト専用のコマンドなどをサポートすることができる。

【0088】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0089】(1) ファームウェアデータを書き換えるだけで、コマンドやデータ形式などの変更、追加に迅速に対応することができる。

【0090】(2) また、マルチメディアカード規格に仕様変更や追加などが生じても、メモリカードのハードウェア変更を不要にすることができる。

【0091】(3) 上記(1)、(2)により、新しいマルチメディアカード規格に対応したメモリカードの製品、またはサンプルをいち早く、かつ低コストで提供することが可能となり、市場変化にフレキシブルに対応することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるメモリカードのブロック図である。

【図2】図1のメモリカードに設けられたコントローラのブロック図である。

【図3】図1のメモリカードに設けられたコマンドイネーブルレジスタに有効と設定されているコマンドを受け取った際のコントローラの動作説明図である。

【図4】図1のメモリカードに設けられたコマンドイネーブルレジスタに無効と設定されているコマンドを受け取った際のコントローラの動作説明図である。

【図5】図1のメモリカードにおける設定変更を行うファームウェアの書き込み動作を示すフローチャートである。

【図6】図1のメモリカードにおけるコマンドイネーブルレジスタのレジスタデータの設定変更動作のフローチャートである。

【図7】図1のメモリカードにシリアル転送されるデータの構成説明図である。

【図8】図7のデータにおけるスタートバイトの一例を示す説明図である。

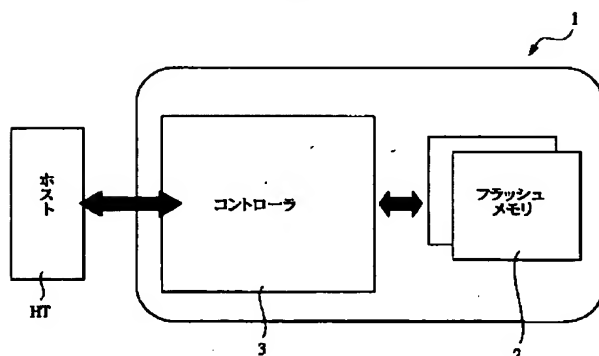
【図9】本発明の他の実施の形態によるメモリカードに設けられたコントローラの動作説明図である。

【図10】本発明の他の実施の形態によるメモリカードのコマンドイネーブルレジスタに設定されるレジスタデータの設定例を示す説明図である。

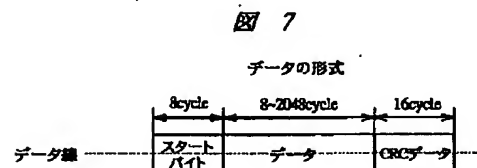
【符号の説明】

- 1 メモリカード
- 2 フラッシュメモリ（不揮発性半導体メモリ）
- 3 コントローラ
- 4 制御部
- 5, 5a メモリ
- 6 コマンドデコード回路（コマンドデコード部）
- 7 コマンド検出信号生成回路（コマンド検出信号生成部、レジスタ）
- 7<sub>1</sub> ~ 7<sub>n</sub> 論理積回路
- 8 コマンドイネーブルレジスタ（インデックス設定部）
- 9 データディテクト回路（データ検出部）
- 10 データ検出信号生成回路（データ検出信号生成部）
- 10<sub>1</sub> ~ 10<sub>n</sub> 論理積回路
- 11 データイネーブルレジスタ（データ形式設定部）
- 12 コントロールロジック
- HT ホスト

【図1】

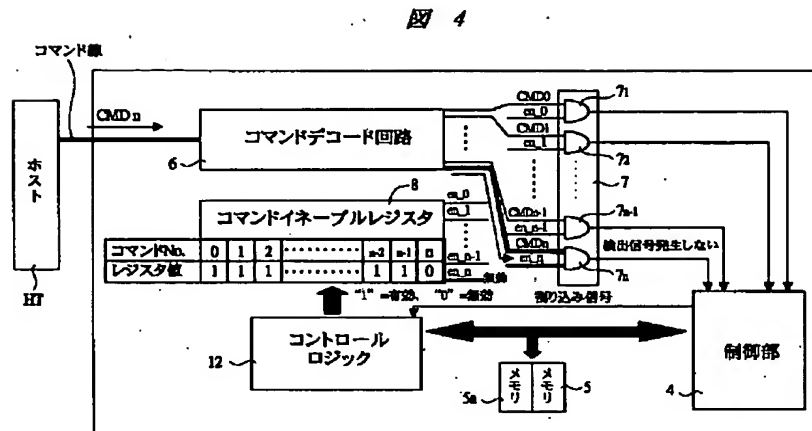


【図7】



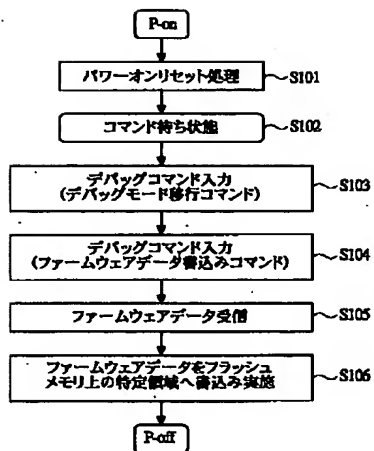


【図4】



【図5】

図 5



【図6】

図 6

